

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-140149

(P2004-140149A)

(43) 公開日 平成16年5月13日(2004.5.13)

(51) Int.Cl.⁷H01L 27/146
H04N 5/335

F I

H01L 27/14
H04N 5/335A
Q

テーマコード(参考)

4M118
5C024

		審査請求 未請求 請求項の数 26 O L (全 16 頁)	
(21) 出願番号	特願2002-302873(P2002-302873)	(71) 出願人	000002185
(22) 出願日	平成14年10月17日(2002.10.17)		ソニー株式会社 東京都品川区北品川6丁目7番35号
		(74) 代理人	100088875 弁理士 町田 茂
		(72) 発明者	馬渕 圭司 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内
		F ターム(参考)	4M118 AA05 AA10 AB01 BA14 CA04 CA09 DB16 DD04 DD10 DD12 EA15 FA06 FA11 FA19 FA24 FA42 5C024 BX01 CX04 CX13 CX17 CX41 CX54 GY31 HX40

(54) 【発明の名称】 固体撮像素子及びその制御方法

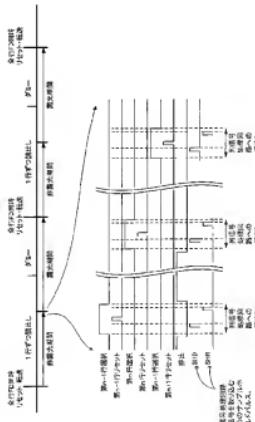
(57) 【要約】

【課題】 CMOS型固体撮像素子のような素子構造を有する固体撮像素子を用いて全画面同時シャッタ機能を実現する場合に、露光時間が受ける制約を軽減し、迅速な動作で十分な露光時間を確保する。

【解決手段】 埋め込み型PD219の信号電荷をFD216に転送する転送Tr211とは別に、埋め込みPD219の信号電荷を排出するための排出Tr215を設ける。そして、この排出Tr215をONしたときのチャネル電位の両方をPD219の完全空乏化電位よりも高くなるように設定する。これにより、PD219の信号電荷を転送Tr211と排出Tr215の両方から完全転送できるようにし、FD216から信号電荷を画素行単位で順次読み出す動作において、その読み出し途中からPD219の露光動作を開始する。

【選択図】

図4



【特許請求の範囲】

【請求項 1】

複数の画素を設けた撮像領域部と、前記撮像領域部から出力される画像信号の処理を行う処理回路部とを有する固体撮像素子において、

前記画素は、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷量を検出するフローティングディフュージョン部と、前記光電変換素子によって生成された信号電荷を前記フローティングディフュージョン部に転送する転送トランジスタと、前記前記光電変換素子によって生成された信号電荷を排出する排出トランジスタとを有し、

前記光電変換素子は、半導体基板の最表面に形成される第1導電型高濃度不純物層よりもなる電荷分離領域と、前記電荷分離領域の下層に形成される第2導電型不純物層よりもなる電荷蓄積領域とを有する埋め込みフォトダイオードより形成され、

前記排出トランジスタをONしたときのチャネル電位と、前記転送トランジスタをONしたときのチャネル電位の両方を前記フォトダイオードの完全空乏化電位よりも高くなるように設定した、

ことを特徴とする固体撮像素子。

【請求項 2】

前記フローティングディフュージョン部の信号電荷をリセットするリセットトランジスタと、前記フローティングディフュージョン部の電位に対応した電気信号を出力する増幅トランジスタと、前記増幅トランジスタを選択的に活性化する選択トランジスタとを有することを特徴とする請求項1記載の固体撮像素子。

10

【請求項 3】

前記転送トランジスタのゲート電極には前記光電変換素子における電荷蓄積期間中に前記転送トランジスタのゲート絶縁膜の界面に第1導電型チャネル層を形成するための転送バイアス電圧が印加され、前記排出トランジスタのゲート電極には前記光電変換素子における電荷蓄積期間中に前記排出トランジスタのゲート絶縁膜の界面に第1導電型チャネル層を形成するための排出バイアス電圧が印加されていることを特徴とする請求項1記載の固体撮像素子。

20

【請求項 4】

前記撮像領域部における全画素のフローティングディフュージョン部を同時にリセットした後、全画素のフォトダイオードの信号電荷を同時にフローティングディフュージョン部に転送し、次に前記フローティングディフュージョン部に転送された信号電荷を各画素行毎に読み出し、この読み出し動作が所定の露光開始行に進むまで前記排出トランジスタをONし、全画素のフォトダイオードの信号電荷を排出するとともに、前記所定の露光開始行に進んだ時点で前記排出トランジスタをOFFし、全画素の露光を開始することを特徴とする請求項1記載の固体撮像素子。

30

【請求項 5】

前記転送トランジスタでフォトダイオードの信号電荷を前記フローティングディフュージョン部に転送した直後のフォトダイオードの残存電荷が20電荷以下であり、かつ、前記排出トランジスタでフォトダイオードの信号電荷を排出した後のフォトダイオードの残存電荷が20電荷以下であることを特徴とする請求項4記載の固体撮像素子。

40

【請求項 6】

前記排出トランジスタのON時のゲート電圧レベルが、前記転送トランジスタのON時のゲート電圧レベルよりも高いことを特徴とする請求項4記載の固体撮像素子。

【請求項 7】

前記排出トランジスタのON時のゲート電圧レベルが固体撮像素子に実装されたデジタル回路の電源電圧よりも高い電圧になっていることを特徴とする請求項4記載の固体撮像素子。

【請求項 8】

前記露光開始行の前の画素行において前記フローティングディフュージョン部の信号電荷

50

を読み出す動作中は、前記排出トランジスタをOFFすることを特徴とする請求項4記載の固体撮像素子。

【請求項9】

前記転送トランジスタ、リセットトランジスタ、及び増幅トランジスタの各ゲート配線が画素行に沿った方向に設けられ、各画素行毎に駆動され、前記排出トランジスタのゲート配線が画素列に沿った方向に設けられ、さらに撮像領域部の外部で全画素共通に短絡されていることを特徴とする請求項2記載の固体撮像素子。

【請求項10】

複数の画素を設けた撮像領域部と、前記撮像領域部から出力される画像信号の処理を行う処理回路部とを有し、

10

前記画素は、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷量を検出するフローティングディフェージョン部と、前記光電変換素子によって生成された信号電荷を前記フローティングディフェージョン部に転送する転送トランジスタと、前記前記光電変換素子によって生成された信号電荷を排出する排出トランジスタとを有し、

前記光電変換素子は、半導体基板の最表面に形成される第1導電型高濃度不純物層よりも電荷分離領域と、前記電荷分離領域の下層に形成される第2導電型不純物層よりも電荷蓄積領域とを有する埋め込みフォトダイオードより形成された固体撮像素子の制御方法であって、

20

前記排出トランジスタをONしたときのチャネル電位と、前記転送トランジスタをONしたときのチャネル電位の両方を前記フォトダイオードの完全空乏化電位よりも高くなるように設定し、

前記フォトダイオードの信号電荷を転送トランジスタと排出トランジスタの両方から完全転送できるようにし、前記フローティングディフェージョン部からの信号電荷の読み出し途中から前記フォトダイオードの露光動作を開始する、

ことを特徴とする固体撮像素子の制御方法。

30

【請求項11】

前記撮像領域部における全画素のフローティングディフェージョン部を同時にリセットした後、全画素のフォトダイオードの信号電荷を同時にフローティングディフェージョン部に転送し、次に前記フローティングディフェージョン部に転送された信号電荷を各画素行毎に読み出し、この読み出し動作が所定の露光開始行に進むまで前記排出トランジスタをONし、全画素のフォトダイオードの信号電荷を排出するとともに、前記所定の露光開始行に進んだ時点で前記排出トランジスタをOFFし、全画素の露光を開始することを特徴とする請求項10記載の固体撮像素子の制御方法。

【請求項12】

前記転送トランジスタでフォトダイオードの信号電荷を前記フローティングディフェージョン部に転送した直後のフォトダイオードの残存電荷が20電荷以下であり、かつ、前記排出トランジスタでフォトダイオードの信号電荷を排出した後のフォトダイオードの残存電荷が20電荷以下であることを特徴とする請求項11記載の固体撮像素子の制御方法。

40

【請求項13】

前記排出トランジスタのON時のゲート電圧レベルが、前記転送トランジスタのON時のゲート電圧レベルよりも高いことを特徴とする請求項11記載の固体撮像素子の制御方法。

。

【請求項14】

前記排出トランジスタのON時のゲート電圧レベルが固体撮像素子に実装されたデジタル回路の電源電圧よりも高い電圧になっていることを特徴とする請求項11記載の固体撮像素子の制御方法。

【請求項15】

前記露光開始行の前の画素において前記フローティングディフェージョン部の信号電荷を読み出す動作中は、前記排出トランジスタをOFFすることを特徴とする請求項11記載

50

の固体撮像素子の制御方法。

【請求項 1 6】

固体撮像素子によって撮像した映像を出力するカメラ装置において、前記固体撮像素子は、複数の画素を設けた撮像領域部と、前記撮像領域部から出力される画像信号の処理を行う処理回路部とを有し、前記画素は、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷量を検出するフローティングディフュージョン部と、前記光電変換素子によって生成された信号電荷を前記フローティングディフュージョン部に転送する転送トランジスタと、前記前記光電変換素子によって生成された信号電荷を排出する排出トランジスタとを有し、前記光電変換素子は、半導体基板の最表面に形成される第1導電型高濃度不純物層よりなる電荷分離領域と、前記電荷分離領域の下層に形成される第2導電型不純物層よりなる電荷蓄積領域とを有する埋め込みフォトダイオードより形成され、前記排出トランジスタをONしたときのチャネル電位と、前記転送トランジスタをONしたときのチャネル電位の両方を前記フォトダイオードの完全空乏化電位よりも高くなるように設定した、ことを特徴とするカメラ装置。

【請求項 1 7】

前記固体撮像素子は、前記フローティングディフュージョン部の信号電荷をリセットするリセットトランジスタと、前記フローティングディフュージョン部の電位に対応した電気信号を出力する増幅トランジスタと、前記増幅トランジスタを選択的に活性化する選択トランジスタとを有することを特徴とする請求項 1 6 記載のカメラ装置。

【請求項 1 8】

前記固体撮像素子は、前記転送トランジスタのゲート電極には前記光電変換素子における電荷蓄積期間中に前記転送トランジスタのゲート絶縁膜の界面に第1導電型チャネル層を形成するための転送バイアス電圧が印加され、前記排出トランジスタのゲート電極には前記光電変換素子における電荷蓄積期間中に前記排出トランジスタのゲート絶縁膜の界面に第1導電型チャネル層を形成するための排出バイアス電圧が印加されていることを特徴とする請求項 1 6 記載のカメラ装置。

【請求項 1 9】

前記固体撮像素子は、前記撮像領域部における全画素のフローティングディフュージョン部を同時にリセットした後、全画素のフォトダイオードの信号電荷を同時にフローティングディフュージョン部に転送し、次に前記フローティングディフュージョン部に転送された信号電荷を各画素毎に読み出し、この読み出し動作が所定の露光開始行に進むまで前記排出トランジスタをONし、全画素のフォトダイオードの信号電荷を排出するとともに、前記所定の露光開始行に進んだ時点で前記排出トランジスタをOFFし、全画素の露光を開始することを特徴とする請求項 1 6 記載のカメラ装置。

【請求項 2 0】

前記固体撮像素子は、前記転送トランジスタでフォトダイオードの信号電荷を前記フローティングディフュージョン部に転送した直後のフォトダイオードの残存電荷が20電荷以下であり、かつ、前記排出トランジスタでフォトダイオードの信号電荷を排出した後のフォトダイオードの残存電荷が20電荷以下であることを特徴とする請求項 1 9 記載のカメラ装置。

【請求項 2 1】

前記固体撮像素子は、前記排出トランジスタのON時のゲート電圧レベルが、前記転送トランジスタのON時のゲート電圧レベルよりも高いことを特徴とする請求項 1 9 記載のカメラ装置。

【請求項 2 2】

前記固体撮像素子は、前記排出トランジスタのON時のゲート電圧レベルが固体撮像素子に実装されたデジタル回路の電源電圧よりも高い電圧になっていることを特徴とする請求

10

20

30

40

50

項 1 9 記載のカメラ装置。

【請求項 2 3】

前記固体撮像素子は、前記露光開始行の前の画素行において前記フローティングディフュージョン部の信号電荷を読み出す動作中は、前記排出トランジスタを OFF することを特徴とする請求項 1 9 記載のカメラ装置。

【請求項 2 4】

前記固体撮像素子は、前記転送トランジスタ、リセットトランジスタ、及び增幅トランジスタの各ゲート配線が画素行に沿った方向に設けられ、各画素行毎に駆動され、前記排出トランジスタのゲート配線が画素列に沿った方向に設けられ、さらに撮像領域部の外部で全画素共通に短絡されていることを特徴とする請求項 1 7 記載のカメラ装置。

10

【請求項 2 5】

前記固体撮像素子のシャッタ動作をフォーカルプレインシャッタ動作と全画素同時シャッタ動作とで切り換える切り換え手段を有することを特徴とする請求項 1 6 記載のカメラ装置。

【請求項 2 6】

前記固体撮像素子における露光時間を選択する露光時間選択手段と、前記露光時間選択手段によって選択された露光時間に基づいて前記所定の露光開始行を選択する露光開始行選択手段とを有することを特徴とする請求項 1 9 記載のカメラ装置。

【発明の詳細な説明】

【0 0 0 1】

20

【発明の属する技術分野】

本発明は、電子シャッタ機能を備えた CMOS 型イメージセンサ等の固体撮像素子及びその制御方法に関する。

【0 0 0 2】

【従来の技術】

従来より、多くの CMOS 型イメージセンサは電子シャッタ機能を備えているが、CCD 型イメージセンサと異なり、2 次元配列された多数の画素を画素行毎に順次走査して信号のリセットを行なうフォーカルプレインシャッタ（ローリングシャッタ）であるため、画面行ごとに露光期間がずれるという課題がある。

この場合、例えば上下方向にまっすぐな物が横方向に動いているのを撮影した場合に、それが傾いているように写ることになる。

30

図 7 (A) は、その様子を示す説明図であり、各行のリセット後、所定の露光時間後に転送出力（信号読み出し）する動作を各行で順番に行なうことになり、この結果、得られる画像は、例えば図 7 (C) に示すように、横方向に動いている上下方向にまっすぐな物体 a は傾いた状態で写ることになる。

【0 0 0 3】

それに対して、全行同時にシャッタを切れるものも存在する。その場合には、フォトダイオード (P D) をある時点で全行同時にリセットし、所定の露光時間後、P D の電荷を全行同時にフローティングディフュージョン (F D) に転送する。この F D の信号を、1 行ずつ順番に出力する。

40

図 7 (B) は、その様子を示す説明図であり、全行の一括リセット後、全行同時転送し、その後、行毎に出力を行う。こうすれば、例えば図 7 (D) に示すように、横方向に動いている上下方向にまっすぐな物 a を撮影した場合でも、それがやはりまっすぐ写る。

【0 0 0 4】

また、CMOS 型イメージセンサで全画素のフォトダイオード (P D) の信号電荷を同時にリセットするための画素回路構成として、P D の余剰電荷を F D を経由せずに直接ドラインに排出することのできるトランジスタ (排出 T r) を備えたものも提案されている（特許文献 1 参照）。

【0 0 0 5】

【特許文献 1】

50

特開2001-238132号公報

【0006】

【発明が解決しようとする課題】

しかしながら、図7(B)に示す全画素シャッタ方式のCMOS型イメージセンサには、以下のようないわゆる問題があった。

(1) 全行同時に転送した後、画素行毎に順番に出力するまでの間に、FDに光が漏れ込み、その量が先に出力する行と後で出力する行で異なり、撮影画像を悪化させる。

(2) 全行の情報を出力した後にPDをリセットするので、全行同時に転送してから全行の情報を1行ずつ出力し終えるまでの間は露光を行えず、時間が無駄になる。また、露光時間を大きくすることが困難であるため、被写体が暗い場合には感度が落ちる。

10

【0007】

以下、これらの問題点について詳細に説明する。

まず、上記(1)について、先頭に出力する行と最後に出力する行で、転送してから出力までの時間長さが1フレーム読出し時間分異なるので、FDに漏れ込む光の量も、先頭行ではほとんど0であるが、最終行では1フレーム読出し時間分の漏れ込み量になる。

FDでも光電変換されるので、FDにその光量に対応する電荷が溜り、これがPDから転送された信号電荷に加わってしまう。

これはノイズやシェーディングになるだけでなく、光が強い場合には飽和信号量をも超え、白とびさせてしまう。このように、FDへの光の漏れこみは撮影画像を著しく悪化させる。

20

【0008】

これに関連し、図8及び図9を用いて説明する。

まず、図8は、従来のCCD型固体撮像素子のフォトダイオード周辺部の構造を示す断面図である。

このCCD型固体撮像素子は、半導体基板10の上層部にフォトダイオード(PD)12、読み出しチャネル部14、チャネルトップ部16、垂直転送レジスタ18等が形成され、半導体基板10の上面にゲート絶縁膜20を介してポリシリコン転送電極22が配置され、さらにその上部に絶縁膜24を介して遮光膜26が配置されている。

遮光膜26にはPD12の受光面に対応する開口部26Aが形成されている。また、この遮光膜26の上には平坦化膜(上層絶縁膜)28が形成され、その上層に色フィルタ30及びマイクロレンズ32が接着されている。

30

【0009】

このようなCCD型固体撮像素子では、PD12の光電荷を、全面同時に読み出しチャネル部14を通して垂直転送レジスタ18に転送する。

その後、光電荷は垂直転送レジスタ18のCCDによって出力アンプ部(図示せず)まで1行ずつ運ばれ、出力される。

図示のように、CCD型固体撮像素子では、遮光膜26となるアルミ等の金属層をPD12の直近まで落とし込んで、垂直転送レジスタ18に光が漏れ込まないようにしている。それでもわずかに光が垂直転送レジスタ18に漏れ込み、これがスミアと呼ばれる縦筋状の画像劣化の原因となる。

40

【0010】

次に、図9は、従来のCMOS型固体撮像素子のフォトダイオード周辺部の構造を示す断面図である。

このCMOS型固体撮像素子は、半導体基板(N型シリコン基板)40の上層部に素子形成領域としてのPウェル領域42、44が形成され、Pウェル領域42、44にPD46や各種のゲート素子が形成されている。なお、図示の例は、Pウェル領域42にPD46、転送ゲート(MOSトランジスタ)48、FD50が形成され、Pウェル領域44に周辺回路部のMOSトランジスタ52が形成されている。

また、半導体基板40の上には、ゲート絶縁膜54を介して各ゲートのポリシリコン転送電極56が形成され、さらにその上層に層間絶縁膜58を介して多層配線層60、62、

50

6.4が形成されている。そして、この多層配線層の上層膜6.4の配線膜が遮光膜として形成されている。

また、多層配線層の上には、保護膜(SiN)7.0を介して色フィルタ7.2、及びマイクロレンズ7.4が配置されている。

【0011】

このようにCMOS型固体撮像素子においては、画素も周辺回路と同じCMOSプロセスを用いて作るので、PD4.6の直近まで遮光膜(配線層6.4)を落とし込むことができず、PD4.6にだけ光を入射させる構造をつくることができない。

また、金属配線層が何層もあるので、各層で光が乱反射してしまう。このため、図9からわかるように、FD5.0にはCCD型固体撮像素子の場合と比べて多量の光が漏れ込んでしまう。

このように、CMOS型固体撮像素子では、全行同時に転送した場合の画像劣化が激しいという問題がある。

【0012】

次に、上記(2)について、PDのリセットは、PDの電荷をFDに排出することで行う。この時、FDに信号が保持されている状態だと、この信号が壊れてしまうので、全行のFDの信号を読み出した後でなければ、PDのリセットができない。

そこで、上述した特許文献1に開示されるように、PDの余剰電荷をFDを経由せずに直接ドレインに排出することのできるトランジスタ(排出Tr)を備えたCMOSセンサもあるが、これもやはりPDのリセットはFD経由で行う必要があり、よって全行のFDの信号を読み出した後に、PDのリセットを行わないと画像が劣化していた。

それは、PDの電荷をFDに転送する転送Trと、上記排出Trのしきい値などの特性を完全に揃えることができないので、蓄積期間の最初に排出TrでPDをリセットすると、蓄積期間の最後に転送Trで電荷をFDに転送する時にPDをリセットした状態に戻らず、その差分が後の回路で除去できない固定パターン雜音や残像などの問題を発生するからである。

よって、良好な画像を得るためにには、やはり全行のFDの信号を読み出すまでの間はPDのリセットをできず、露光期間にできないので、感度を落としてしまう。

【0013】

さらに、FDの信号を読み出している途中に排出TrでPDのリセットをすると、上記の問題の他、PDのリセットをする前と後とで画素の状態が微妙に異なり、撮影画像でその部分に横筋が見えてしまうという問題点もあることが判明した。

また、排出Trがあると、そのゲート下の酸化膜界面から暗電流が発生してPDに流れ込んでしまうという問題点もあることが判明した。

【0014】

そこで本発明の目的は、上述したCMOS型固体撮像素子のような素子構造を有する固体撮像素子を用いて全画面同時シャッタ機能を実現する場合に、露光時間が受ける制約を軽減し、迅速な動作で十分な露光時間を確保し、光の漏れ込みによるノイズ量を相対的に減少させて、良好な画像出力を行うことが可能な固体撮像素子及びその制御方法を提供することにある。

【0015】

【課題を解決するための手段】

本発明は前記目的を達成するため、複数の画素を設けた撮像領域部と、前記撮像領域部から出力される画像信号の処理を行う処理回路部とを有する固体撮像素子において、前記画素は、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷量を検出するフローティングディフュージョン部と、前記光電変換素子によって生成された信号電荷を前記フローティングディフュージョン部に転送する転送トランジスタと、前記光電変換素子によって生成された信号電荷を排出する排出トランジスタとを有し、前記光電変換素子は、半導体基板の最表面に形成される第1導電型高濃度不純物層よりなる電荷分離領域と、前記電荷分離領域の下層に形成される第2導電型不

10

20

30

40

50

純物層よりなる電荷蓄積領域とを有する埋め込みフォトダイオードより形成され、前記排出トランジスタをONしたときのチャネル電位と、前記転送トランジスタをONしたときのチャネル電位の両方を前記フォトダイオードの完全空乏化電位よりも高くなるように設定したことを特徴とする。

【0016】

また本発明は、複数の画素を設けた撮像領域部と、前記撮像領域部から出力される画像信号の処理を行う処理回路部とを有し、前記画素は、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷量を検出するフローティングディフュージョン部と、前記光電変換素子によって生成された信号電荷を前記フローティングディフュージョン部に転送する転送トランジスタと、前記前記光電変換素子によって生成された信号電荷を排出する排出トランジスタとを有し、前記光電変換素子は、半導体基板の最表面に形成される第1導電型高濃度不純物層よりなる電荷分離領域と、前記電荷分離領域の下層に形成される第2導電型不純物層よりなる電荷蓄積領域とを有する埋め込みフォトダイオードより形成された固体撮像素子の制御方法であって、前記排出トランジスタをONしたときのチャネル電位と、前記転送トランジスタをONしたときのチャネル電位の両方を前記フォトダイオードの完全空乏化電位よりも高くなるように設定し、前記フォトダイオードの信号電荷を転送トランジスタと排出トランジスタの両方から完全転送できるようにし、前記フローティングディフュージョン部からの信号電荷の読み出し途中から前記フォトダイオードの露光動作を開始することを特徴とする。

【0017】

また本発明は、固体撮像素子によって撮像した映像を出力するカメラ装置において、前記固体撮像素子は、複数の画素を設けた撮像領域部と、前記撮像領域部から出力される画像信号の処理を行う処理回路部とを有し、前記画素は、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷量を検出するフローティングディフュージョン部と、前記光電変換素子によって生成された信号電荷を前記フローティングディフュージョン部に転送する転送トランジスタと、前記前記光電変換素子によって生成された信号電荷を排出する排出トランジスタとを有し、前記光電変換素子は、半導体基板の最表面に形成される第1導電型高濃度不純物層よりなる電荷分離領域と、前記電荷分離領域の下層に形成される第2導電型不純物層よりなる電荷蓄積領域とを有する埋め込みフォトダイオードより形成され、前記排出トランジスタをONしたときのチャネル電位と、前記転送トランジスタをONしたときのチャネル電位の両方を前記フォトダイオードの完全空乏化電位よりも高くなるように設定したことを特徴とする。

【0018】

本発明の固体撮像素子及びその制御方法では、各画素の光電変換素子となる埋め込みフォトダイオードの信号電荷をフローティングディフュージョン部に転送する転送トランジスタとは別に、埋め込みフォトダイオードの信号電荷を排出するための排出トランジスタを設け、排出トランジスタをONしたときのチャネル電位と、転送トランジスタをONしたときのチャネル電位の両方をフォトダイオードの完全空乏化電位よりも高くなるように設定することにより、フォトダイオードの信号電荷を転送トランジスタと排出トランジスタの両方から完全転送できるようにした。

【0019】

したがって、移動する被写体の傾きのない撮影を行うために、全画素同時シャッタ動作と転送動作を行った後、フローティングディフュージョン部から信号電荷を画素行単位で順次読み出す動作において、その読み出し途中からフォトダイオードの露光動作を開始することが可能となり、迅速な動作で十分な露光時間を確保して高感度の良好な画像出力を実現できる。また、十分な露光時間を確保によって、光の漏れ込みによるノイズ量を相対的に減少させることができ、この点からも良好な画像出力を実現できる。

また、このような固体撮像素子を搭載したカメラ装置においても同様に、十分な露光時間を確保して高感度の良好な画像出力を実現できる。

【0020】

10

20

30

40

50

【発明の実施の形態】

以下、本発明による固体撮像素子、カメラ装置、及びその制御方法の実施の形態例について説明する。

本実施の形態例は、CMOS 固体撮像素子の P D の両側に排出ゲートと転送ゲートを設けた素子構造とし、また、排出ゲートと転送ゲートの両方で P D に蓄積した電荷を完全リセット・転送できるようにすることで、F D の信号を読み出している途中から蓄積開始できるようにしたるものである。

また、排出ゲートと転送ゲートに負電圧を印加することで、暗電流の防止を図るものである。

【0021】

図 1 は、本発明の実施の形態例によるカメラシステムの構成例を示すブロック図である。このカメラシステムは、撮像レンズ系 101、固体撮像素子 102、アナログ回路 103、A/D コンバータ 104、カメラ信号処理回路 105、圧縮伸長回路 106、及び記憶媒体 107 を有している。

まず、撮像レンズ系 101 から入射した光線は、固体撮像素子 102 の 2 次元画素アレイに結像する。固体撮像素子 102 は CMOS 型イメージセンサなどの素子であり、本実施の形態の特徴となる全画素同時シャッタ機能（リセット・FD 転送）、及び FD からの行順次読み出し機能を有している。

【0022】

アナログ回路 103 では、CDS（相関二重サンプリング）や AGC（オートゲインコントロール）などの処理を行う。そして、このアナログ回路 103 で処理された画像信号は、A/D コンバータ 104 によりアナログデータからデジタルデータに変換され、カメラ信号処理回路 105 に出力される。

カメラ信号処理回路 105 では、固体撮像素子 102 の出力データから映像信号へ変換するための色信号処理、ゲイン制御処理、ホワイトバランス処理等の信号処理を行う回路である。

圧縮伸長回路 106 は、カメラ信号処理回路 105 で処理された画像データの圧縮もしくは伸長を行い、画像を記憶媒体 107 に記憶できるフォーマットに変換する回路である。記憶媒体 107 は、例えばメモリースティック等であり、画像データを出力させる手段の例であるが、例えば表示パネルや各種ネットワーク等であってもよい。

【0023】

また、図 2 は、図 1 に示す固体撮像素子 102 及びアナログ回路 103 の構成例を示すブロック図である。

図示のように、本例の固体撮像素子は、半導体素子基板 200 上に画素部（撮像領域部）210、定電流部 220、列信号処理部（カラム部）230、垂直（V）選択駆動手段 240、水平（H）選択手段 250、水平信号線 260、出力処理部 270、及びタイミングジェネレータ（TG）280 等を設けたものである。

画素部 210 は、多数の画素を 2 次元マトリクス状に配置したものであり、各画素に図 3 に示すような画素回路が設けられている。この画素部 210 からの各画素の信号は、各画素列毎に垂直信号線（図 2 では省略）を通して列信号処理部 230 に出力される。

定電流部 220 には各画素にバイアス電流を供給するための定電流源（図 2 では省略）が各画素列毎に配置されている。

V 選択駆動手段 240 は、画素部 210 の各画素を 1 行ずつ選択し、各画素のシャッタ動作や読み出し動作を駆動制御するものである。

【0024】

列信号処理部 230 は、垂直信号線を通して得られる各画素の信号を 1 行ずつ受け取り、列ごとに所定の信号処理を行い、その信号を 1 時保持する。例えば CDS（画素トランジスタの閾値のぼらつきに起因する固定バーンノイズを除去する）処理、AGC（オートゲインコントロール）処理、A/D 変換処理等を適宜行うものとする。

H 選択手段 250 は、列信号処理部 230 の信号を 1 つずつ選択し、水平信号線 260 に

10

20

30

40

50

導く。

出力処理部 270 は、水平信号線 160 からの信号に所定の処理を行い、外部に出力するものであり、例えばゲインコントロール回路や色処理回路を有している。なお、列信号処理部 230 で A/D 変換を行なう代わりに、出力処理部 270 で行なうようにしてもよい。

タイミングジェネレータ 280 は、基準クロックに基づいて各部の動作に必要な各種のパルス信号等を供給する。

【0025】

また、図 3 は、図 2 に示す固体撮像素子の各画素に設けられる画素回路の構成例を示す回路図である。

図示の構成は、各画素にフォトダイオード (PD) 219 と転送、増幅、選択、リセット、排出の 5つの画素トランジスタ (Tr) 211、212、213、214、215 を設けたものである。

PD 219 は、光電変換によって生成された電子を蓄積するものであり、転送 Tr 211 を ON することにより、PD 219 の電子をフローティングディフュージョン (FD) 216 に転送する。FD 216 には寄生容量があるので、ここに光電子が溜められる。

【0026】

増幅 Tr 212 は、ゲートが FD 216 とつながっており、FD 216 の電位変動を電気信号に変換する。選択 Tr 213 は信号を読み出す画素を行単位で選択するものであり、この選択 Tr 213 が ON したときには、増幅 Tr 212 と画素の外で垂直信号線 217 につながっている定電流源 218 とがソースフォロアを組むので、FD 216 の電圧に連動する電圧が垂直信号線に出力される。

リセット Tr 214 は、FD 216 の電位を Vdd の配線にリセットする。

排出 Tr 215 は、PD 219 の光電子を直接、電源 Vdd の配線にリセットする。そして、電源 Vdd の配線は全画素共通となっている。

【0027】

また、転送 Tr 211、選択 Tr 213、リセット Tr 214 の配線 211A、213A、214A は、横方向 (水平=行方向) に延在し、同一行に含まれる画素を同時に駆動するようになっている。これにより、フォーカルプレインシャッタの駆動にも対応できる。

また、排出 Tr 215 の配線 215A は縦に伸びているが、画素部の上端下端で全て短絡され、全画素共通となっている。

【0028】

次に、PD 219 としては、埋込み型の PD を用いる。埋込み型の PD とは、例えば P ウェル中のフォトダイオードの場合、ゲート酸化膜の界面近傍を p+ 型領域とし、その下に n 型領域を形成しているものである。界面が p+ 領域でカバーされているので、界面で発生する暗電流を防止できる。

また、転送 Tr 211 と PD 219 の設計を適切にすれば、PD 219 の光電子をすべて FD 216 に転送できるので、CCD 型センサで広く使われている構造である。例えば HAD (Hole Accumulation Diode) という呼称で商品化されている。

【0029】

そして、このような構成の CMOS 型固体撮像素子において、本例の特徴となる事項は、排出 Tr 215 を ON したときのチャネル電位と、転送 Tr 211 を ON したときのチャネル電位の両方を、埋込み型の PD 219 の完全空乏化電位よりも高くなるように各 Tr 211、215 のゲート電圧としきい値と PD 219 のドーズ量を調節したことである。これによって、転送 Tr 211 では PD 219 の光電子をほぼ全て FD 216 に転送でき、排出 Tr 215 では PD 219 の光電子をほぼ全てドレインに排出することができる。ここで、ほぼ全てとは、デジタルカメラなど人間の鑑賞に堪える画像の場合では、残存電子が約 20 個以下であれば良いため、このような残存電子を生じる場合を含む意味である。

【0030】

10

20

30

40

50

一般に1つの埋め込みPDに対して2つのTrをどちらも完全転送できるような特性で設計することは難しいものである。また、転送Trが完全転送できるものは既に存在する。そこで、本例では排出Tr215のON時のゲート電圧を転送Tr211よりも上げることで、どちらでも完全転送できるようにする。

特に、これを固体撮像素子にオンチップされたデジタル回路の電源電圧よりも高くすることが好ましく、そのためには固体撮像素子の外部から別の電源を供給するか、内部に昇圧回路を設けることにより実現できる。

【0031】

また、本件発明者等は、上述のような構造の固体撮像素子において、転送ゲート電極のオフ時に例えば-1Vの負電圧（ここでは転送バイアス電圧という）を加えることで、転送ゲート部の下の界面からの暗電流（光が入射しなくともPDに流れ込む電子を成分とする電流）を抑制することを提案している。

これは、転送ゲート電極を負電圧にバイアスすることにより、転送ゲート部におけるゲート酸化膜の界面にP型のチャネルが形成され、埋め込みPDと同様に界面準位からの暗電流を防止できるからである。

そこで、本実施の形態例では、転送Trのゲート電極に負電圧を印加するとともに、排出Trのゲート電極にも同様に負電圧（ここでは排出バイアス電圧という）を印加することにより、双方のTrにおける暗電流を適正に除去するものである。なお、基準の0VはGNDであり、Pウェル領域も0Vになっている。

このように排出Trのゲート電極に負電圧を印加することにより、転送Trのゲート電極に負電圧を印加した場合と同等の効果が得られることが実測によって確認された。

【0032】

次に、本実施の形態例による固体撮像素子の動作について説明する。

図4は、本例の固体撮像素子の動作を示すタイミングチャートである。

まず、全行同時にFD216のリセットと、PD219の光電子のFD216への転送を行う。具体的には、例えば全行のリセット配線214Aにパルスを入れて全画素のFD216をリセットし、さらに全行の転送配線211Aにパルスを入れて全画素のPD219の光電子をFD216に転送する。

それからFD216の信号を1行ずつ読み出す。ここで1フレームの期間は1/30秒等、ある一定期間に決まっているので、全行を読み出した後は、ダミー出力などで時間を調整する。

【0033】

前述のように従来技術では、露光期間は全行読み出した後の、このダミー期間にしか取れなかった。それが本例では、まだ1行ずつ読み出しているときから露光期間を設定できる。以下、その詳細について説明する。

ここでは、1フレームの第n行までが非露光期間、それ以降が露光期間とし、第n-1行までの動作、第n行の動作、及び第n+1行以降の動作を順次説明する。

【0034】

（1）第n-1行まで：

選択Tr213をONすると、その行のFD216の電位に対応した電圧が垂直信号線217に出力される。この信号を、列信号処理回路230に供給されるサンプルホールドパルスSHDで列信号処理回路230へ取り込む。それからリセットパルスを入れて、その行のFD216をリセットする。

これにより、FD216のリセット電位に対応した電圧が垂直信号線217に出力されているので、これを列信号処理回路230に供給されるサンプルホールドパルスSHDで再び列信号処理回路230へ取り込む。

これらの差が信号であるので、列信号処理回路230では差分を取ったり、前述のような信号処理を行う。

排出Tr215は列信号処理回路230への読み出し期間はOFFしておらず、その他の時間にはONし、PD219の電子をドレインに排出する。この排出Tr215のゲートは

10

20

30

40

50

、前述のように全画素つながっているので、全 P D 2 1 9 がリセットされている。

【0 0 3 5】

(2) 第 n 行 :

信号の読み出し動作は同じである。排出 T r 2 1 5 が、この行を境に常に O F F になる。

ここから P D 2 1 9 の光電子は P D 2 1 9 に溜ったままになり、露光期間になる。

(3) 第 n + 1 行以降 :

信号の読み出し動作は同じである。また、排出 T r 2 1 5 は、常に O F F である。

【0 0 3 6】

図 5 は、本例における固体撮像素子の P D とその周辺部の構造を示す断面図である。

この固体撮像素子は、シリコン基板 3 0 0 に設けた P ウェル領域 3 1 0 に各素子を形成したものであり、図 5 では、P D 2 1 9 、 F D 2 1 6 、転送 T r 2 1 1 、リセット T r 2 1 4 、排出 T r 2 1 5 を形成した領域を示している。

P D 2 1 9 は、シリコン基板 3 0 0 の最表面に形成された p + 領域 2 1 9 A と、その下層に形成された n 領域 2 1 9 B を有する埋め込み型 (H A D 構造) の P D となっている。F D 2 1 6 は、P D 2 1 9 の側方に転送ゲート部 (転送 T r 2 1 1) を介して形成された n + 領域よりもなっている。

【0 0 3 7】

転送 T r 2 1 1 は、P D 2 1 9 と F D 2 1 6 の中間領域を転送ゲート部とし、そのシリコン基板 3 0 0 の上面にゲート絶縁膜 3 2 0 を介してポリシリコン膜よりなる転送電極 2 1 1 B を形成したものである。

リセット T r 2 1 4 は、F D 2 1 6 の転送 T r 2 1 1 と反対側の領域をリセットゲート部とし、そのシリコン基板 3 0 0 の上面にゲート絶縁膜 3 2 0 を介してポリシリコン膜よりなるリセット電極 2 1 4 B を形成したものであり、F D 2 1 6 の信号電荷をドレイン 2 1 4 C に排出する。このドレイン 2 1 4 C が図示しないコンタクト等を介して電源 V d d の配線に接続されている。

【0 0 3 8】

排出 T r 2 1 5 は、P D 2 1 9 の転送 T r 2 1 1 と反対側の領域を排出ゲート部とし、そのシリコン基板 3 0 0 の上面にゲート絶縁膜 3 2 0 を介してポリシリコン膜よりなる排出電極 2 1 5 B を形成したものであり、P D 2 1 9 の信号電荷をドレイン 2 1 5 C に出力する。このドレイン 2 1 5 C が図示しないコンタクト等を介して電源 V d d の配線に接続されている。

なお、各電極 2 1 1 B 、 2 1 4 B 、 2 1 5 B の上層には、絶縁膜 3 3 0 を介してさらに上層の積層物が設けられているが、本発明には直接関係しないため説明は省略する。

【0 0 3 9】

図 6 は、このような固体撮像素子における電荷読み出し時のボテンシャル遷移を示す説明図であり、下方向に正電位を示している。

図 6 (1) は全画素リセット直後のボテンシャルであり、各 P D 2 1 9 に徐々に光電荷が蓄積されていく。図 6 (2) は転送 T r 2 1 1 を O N して転送ゲートのチャネル電圧を V a とし、P D 2 1 9 の光電荷を F D 2 1 6 に移動する。

図 6 (3) は転送後の非露光時間の状態を示しており、排出 T r 2 1 5 は O F F のままで、各 P D 2 1 9 に徐々に光電荷が蓄積されていく。

次に、図 6 (4) は排出 T r 2 1 5 を O N した状態を示しており、排出ゲートのチャネル電圧を V b とし、P D 2 1 9 の光電荷を排出 T r 2 1 5 のドレイン 2 1 5 C に出力する。

なお、転送 T r 2 1 1 と排出 T r 2 1 5 の特性を完全一致させることはできず、V b と V a は異なる値となる (図示の例では V b > V a (図 6 では下向き) となっている)。

【0 0 4 0】

以上のような本実施形態例における第 1 の特徴点は、P D 2 1 9 が H A D 構造であり、かつ排出 T r 2 1 5 の O N 時のチャネル電圧が P D 2 1 9 の空乏化電位よりも高く、P D 2 1 9 の電子をほぼ全て排出できることである。これによって P D 2 1 9 の残存電子がほぼ 0 になるので、排出 T r 2 1 5 の特性がばらついても P D 2 1 9 の初期状態に大きなばらつきが生じない。

10

20

30

40

50

らつきが発生しない。

また、第2の特徴点は、転送T_r211のON時のチャネル電圧もPD219の空乏化電位よりも高く、PD219の電子をほぼ全て転送できることである。これによってPD219の残存電子がほぼ0になるので、転送T_r211の特性がばらついても、PD219の転送後の状態に大きなばらつきが発生しない。

【0041】

これら2つの特徴点により、PD219の蓄積開始時と転送後の状態がほぼ等しくなるので、両方を違うトランジスタで規定するにもかかわらず、良好な画像信号が得られる。

よって、画質の悪化を避けながら、露光開始を排出T_r215で規定することが可能になり、よって、まだFD216の信号を1行ずつ読み出しているときに露光を開始することができるようになる。

そして、被写体の明るさに応じて露光開始行nの値は可変に制御できるようになっており、露光開始は1フレームのどの期間にも設定できる。

なお、列信号処理回路230への読み出し中には、非露光期間でも排出T_r215はOFFしておく。このときONしていると、画素の出力が微妙に影響を受ける。この結果、出力画像で、第n行までと、第n行からの信号が微妙に異なり、そこに横筋が見えてしまう。これを防止するために、非露光期間でも露光期間と同じく少なくとも画素の出力中は排出T_r215をOFFする。

【0042】

以上のような構成及び動作によってCMOSセンサで全画面の露光期間の始まりと終わりが同じになる、いわゆる同時シャッタを実現するときに、以下のような効果を得ることができる。

(1) 全行の情報を出力している途中にPDをリセットしても画像の悪化を防止できるので、全行同時に転送してから全行の情報を1行ずつ出力し終えるまでの間も画質の悪化を避けながら露光期間に利用でき、十分な露光時間によって感度を上げることができる。

(2) 上記(1)による動作の際に撮影画像に横線が入るのを防止できる。

(3) 転送T_rに加えて排出T_rのOFF時のゲート電圧も負電圧とすることで、暗電流を大幅に減らすことができる。

【0043】

なお、以上はカメラ装置に設けられたCMOS型固体撮像素子の構成及び動作として説明したが、本発明は単体の固体撮像素子及びその制御方法としても同様に実施できるものである。

また、上述した全画素同時シャッタ動作と従来のフォーカルプレインシャッタ動作とを選択して用いるようにすることも可能であり、ユーザが選択できる操作キー等を設けて選択手段とすることも可能である。

また、上述した露光時間についても、ユーザが適宜選択できる操作キー等を設けて選択手段とすることも可能であり、このユーザによって選択された露光時間に応じて、上述した露光開始行を選択するような制御を行うようにすることが可能である。

【0044】

【発明の効果】

以上説明したように本発明の固体撮像素子及びその制御方法では、各画素の光電変換素子となる埋め込み型フォトダイオードの信号電荷をフローティングディフェュージョン部に転送するトランジスタとは別に、埋め込み型フォトダイオードの信号電荷を排出するための排出トランジスタを設け、排出トランジスタをONしたときのチャネル電位と、転送トランジスタをONしたときのチャネル電位の両方をフォトダイオードの完全空乏化電位よりも高くなるように設定することにより、フォトダイオードの信号電荷を転送トランジスタと排出トランジスタの両方から完全転送できるようにした。

【0045】

したがって、移動する被写体の傾きのない撮影を行うために、全画素同時シャッタ動作と転送動作を行った後、フローティングディフェュージョン部から信号電荷を画素単位で順

10

20

30

40

50

次読み出す動作において、その読み出し途中からフォトダイオードの露光動作を開始することが可能となり、迅速な動作で十分な露光時間を確保して高感度の良好な画像出力を実現できる。また、十分な露光時間を確保によって、光の漏れ込みによるノイズ量を相対的に減少させることができ、この点からも良好な画像出力を実現できる。

また、このような固体撮像素子を搭載したカメラ装置においても同様に、十分な露光時間を確保して高感度の良好な画像出力を実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態例のカメラシステムの構成例を示すブロック図である。

【図2】図1に示すカメラシステムの固体撮像素子及びアナログ回路の構成例を示すブロック図である。

10

【図3】図2に示す固体撮像素子の各画素に設けられる画素回路の構成例を示す回路図である。

【図4】図2に示す固体撮像素子の動作を示すタイミングチャートである。

【図5】図2に示す固体撮像素子のP Dとその周辺部の構造を示す断面図である。

【図6】図2に示す固体撮像素子における電荷読み出し時のポテンシャル遷移を示す説明図である。

【図7】従来のシャッタ動作及び信号読み出し動作と出力画像の2種類の例を示す説明図である。

【図8】従来のC C D型固体撮像素子の積層構造を示す断面図である。

【図9】従来のC M O S型固体撮像素子の積層構造を示す断面図である。

20

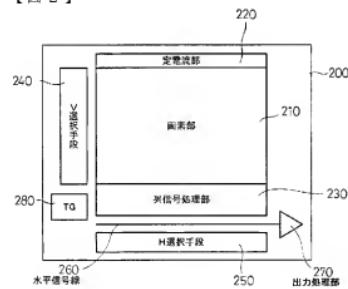
【符号の説明】

101 ……撮像レンズ系、102 ……固体撮像素子、103 ……アナログ回路、104 ……A / Dコンバータ、105 ……カメラ信号処理回路、106 ……圧縮伸長回路、107 ……記憶媒体、211 ……転送Tr、212 ……増幅Tr、213 ……選択Tr、214 ……リセットTr、215 ……排出Tr、216 ……FD、217 ……埋め込み型PD。

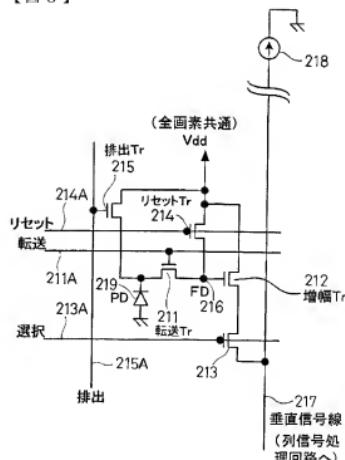
【図1】



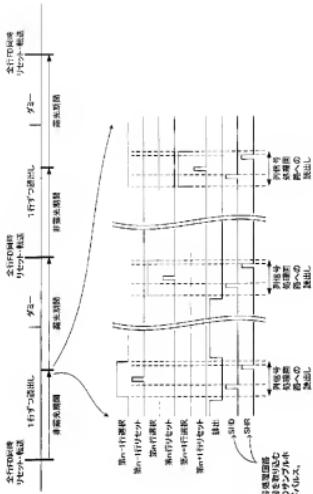
【図2】



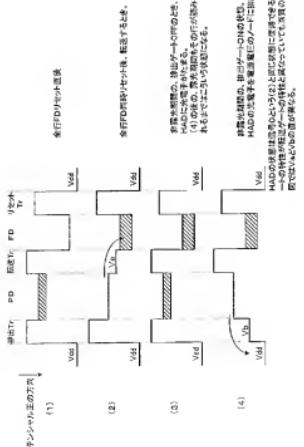
【図3】



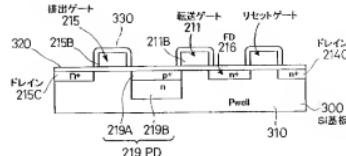
【図4】



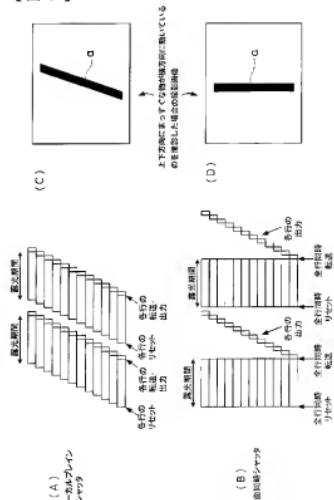
【図6】



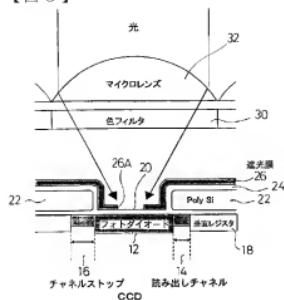
【図5】



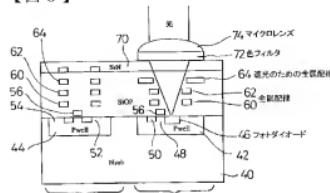
【図7】



【図 8】



【図 9】



MOS型3D撮像装置